

Publication number: JP9270515 (A)

Publication date: 1997-10-14

Publication date: 1997-10-14

Inventor(s): MORITA KIYOYUKI; MORIMOTO TADASHI

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Classification:

- **international:** *H01L21/822; H01L27/04; H01L27/12; H01L29/786; H01L21/70; H01L27/04; H01L27/12; H01L29/66; (IPC1-7): H01L29/786; H01L21/822; H01L27/04; H01L27/12*

- European:

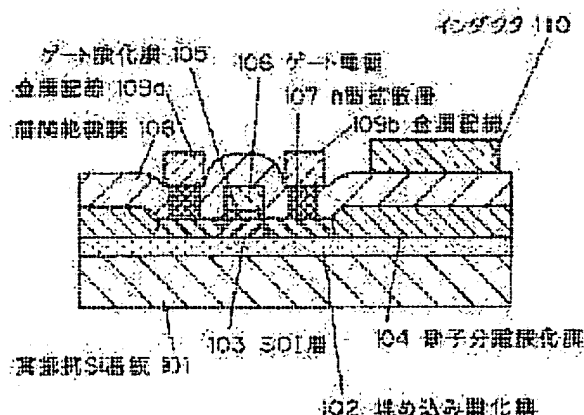
Application number: JP19960078536 19960401

Priority number(s): JP19960078536 19960401

Abstract of JP 9270515 (A)

PROBLEM TO BE SOLVED: To provide a semiconductor device that is mounted with a on-chip inductor that can operate at high frequency.

SOLUTION: An inductor 110 is arranged on the region of an element isolating oxide film 104 that is made by oxidizing an SOI layer 103 on a high-resistance Si substrate 101. With this, the inductor that has smaller parasitic capacitance and can operate at high frequency can be formed on a same substrate on which an MOS transistor is formed and the semiconductor device mounted with the on chip inductor that can operate at high frequency is obtained.

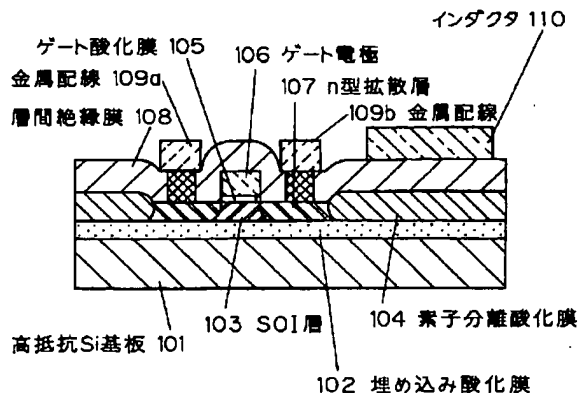


Data supplied from the **esp@cenet** database — Worldwide

(11)特許出願公開番号

(43)公開日 平成9年(1997)10月14日

審査請求 未請求 請求項の数 4 O L (全3頁)



【特許請求の範囲】

【請求項1】 高抵抗基板上に絶縁分離層を介して設置された半導体薄膜層と、前記半導体薄膜層及び前記絶縁分離層に隣接して設置されかつ前記半導体薄膜層と反対導電型を有する複数の不純物拡散層と、前記半導体薄膜上に設置されたゲート酸化膜と、前記ゲート酸化膜上に設置されたゲート電極と、前記半導体薄膜層及び不純物拡散層を取り囲みかつ前記絶縁分離層と接する素子分離領域と前記素子分離領域上に設置された薄膜インダクタからなる半導体装置。

【請求項2】 高抵抗基板として、 $1k\Omega\text{cm}$ 以上の基板比抵抗を持つ半導体を用いる請求項1の半導体装置。

【請求項3】 薄膜インダクタとして、平面スパイラル型インダクタを用いる請求項1の半導体装置。

【請求項4】 薄膜インダクタとして、巻線型インダクタを用いる請求項1の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置及びその製造方法に関するものであり、特にオンチップインダクタと一体化し、高周波動作を可能にした半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 近年、パーソナル携帯機器からLSIの小型化に対して強い要求がある。LSIを小型化することで機器全体を小型化するためである。このため、半導体素子の微細化が進められてきた。通信のための高周波送受信用LSIも例外ではない。高周波送受信用LSIを構成するトランジスタは微細化により性能が向上し、GHz帯に対応できるようになった。一方、高周波動作インダクタ等の受動素子は従来個別部品で構成され、トランジスタに比べて微細化があまり進展していなかった。

【0003】 そこで、インダクタをLSIと同一チップ上に搭載させるオンチップインダクタの開発が行われつつある。インダクタをオンチップ化する場合、Si基板上に形成する必要がある。CMOS LSI形成には通常基板比抵抗が $10\sim 15\Omega\text{cm}$ のSi基板を用いるが、基板上にインダクタを形成する場合、この比抵抗ではインダクタの寄生容量が大きく増加するため、高周波動作が困難になる。R. B. Merrillらは、寄生容量を低減するため基板としてSOI (Silicon On Insulator) 基板を用いた実験を行っている (R. B. Merrill et al, Int. Electron Devices Meet. Tech. Dig., pp983-986, Dec.1995.)。

【0004】

【発明が解決しようとする課題】 R. B. Merrillらは、寄生容量を低減するため基板としてSOI基板を用いた実験を行っているが、寄生容量は低減できていなかった。これは、R. B. Merrillらがインダクタ形成領域直下のSOI層を設置したままにしていたため、従来の単結晶基板を用いた場合とほぼ同等の層間絶縁膜厚となったためであ

る。

【0005】 本発明は、従来の欠点を克服し、R. B. Merrillらと同様にSOI基板を用いてインダクタをオンチップ化し、高周波動作可能なオンチップインダクタ搭載の半導体装置及びその製造方法を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 この課題を解決するために、本発明の半導体装置は、高抵抗基板上に絶縁分離層を介して設置された半導体薄膜層と、前記半導体薄膜層及び前記絶縁分離層に隣接して設置されかつ前記半導体薄膜層と反対導電型を有する複数の不純物拡散層と、前記半導体薄膜上に設置されたゲート酸化膜と、前記ゲート酸化膜上に設置されたゲート電極と、前記半導体薄膜層及び不純物拡散層を取り囲みかつ前記絶縁分離層と接する素子分離領域と前記素子分離領域上に設置された薄膜インダクタからなることを特徴とする。

【0007】

【発明の実施の形態】

（実施の形態1） 本発明の実施例を図面を用いて説明する。図1は本発明を用いた場合の半導体装置の部分拡大平面図である。

【0008】 図1において、高抵抗Si基板101上に、埋め込み酸化膜102を介してSOI層103が設置され、SOI層103及びn型拡散層107、ゲート酸化膜105、ゲート電極106によりn型MOSトランジスタを構成する。ゲート電極106やn型拡散層107の電位は、金属配線109a、b等を通して加えられる。SOI層103及びn型拡散層107は周囲を素子分離酸化膜104及び埋め込み酸化膜102で被われており、高抵抗Si基板101とは電気的に分離されている。図には示していないが、p型拡散層を形成することで同様にp型MOSトランジスタを構成することができる。

【0009】 一方、素子分離酸化膜104上の一部には平面スパイラル型のインダクタ110が形成される。インダクタ110はアルミ薄膜で構成される。インダクタの特性を向上させるため、インダクタ110の周囲を磁性薄膜で被覆する場合もある。SOI層103上に形成するトランジスタのためにはSOI層103の不純物濃度はある程度高くする必要がある。一方、高抵抗Si基板101の不純物濃度は、インダクタ110の高周波特性向上のためできるだけ低くすることが望ましい。不純物濃度が高くなると寄生容量が増大し、高周波特性が劣化するためである。従来の方法では、この相反する二つの条件を満たすことは困難であったが、本発明による構成を用いると、高抵抗Si基板101の不純物濃度はSOI層103の不純物濃度と独立に決定することができるため、この二つの条件を両立させることができる。

【0010】 よって、本発明による方法により、インダクタを同一基板上に形成することができ、高周波動作可能なオンチップインダクタ搭載の半導体装置及びその製

造方法を提供することができる。

【0011】本実施の形態では、スパイラル型のインダクタをアルミ薄膜を用いて構成したが、抵抗の低い他の金属を用いて構成しても良い。また、インダクタ周囲をNi等の磁性薄膜で被覆すると磁束の漏れを低減できる。また、半導体としてSiを用いたが、他の半導体材料を用いてもよいのは言うまでもない。

【0012】

【発明の効果】以上に述べたように、本発明は、SOI層を完全に酸化した素子分離領域上に薄膜インダクタを設置することにより、寄生容量の少ない高周波動作可能なインダクタをMOSトランジスタと同一基板上に形成することができ、高周波動作可能なオンチップインダクタ搭載の半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の作製

工程図

【符号の説明】

- 101 高抵抗Si基板
- 102 埋め込み酸化膜
- 103 SOI層
- 104 素子分離酸化膜
- 105 ゲート酸化膜
- 106 ゲート電極
- 107 n型拡散層
- 108 層間絶縁膜
- 109a, 109b 金属配線
- 110 インダクタ

【図1】

